

(19) Japan Patent Office (JP)

(12) Publication of Unexamined Patent Application (A)

(11) Japanese Patent Laid-Open Number: Tokkai Hei 9-127274

(43) Laid-Open Date: Heisei 9-5-16 (May 16, 1997)

(51) Int.Cl. ⁶	Identification Code	Office Reference Number	FI	Technology Display Part
G04G	7/02		G04G	7/02
G01S	5/14		G01S	5/14
G04G	5/00		G04G	5/00 J
	7/00			7/00

Request for Examination: Not requested

Number of Claims: 10 OL (10 pages in total)

(21) Application Number: Tokugan Hei 7-283155

(22) Filing Date: Heisei 7-10-31 (October 31, 1995)

(71) Applicant: 000005108

Hitachi, Ltd.

4-6 Kandasurugadai, Chiyoda-ku, Tokyo

(72) Inventor: Shinichi Ueda

c/o Ohmika plant, Hitachi, Ltd.

5-2-1 Ohmika-cho, Hitachi-shi, Ibaragi

(72) Inventor: Katsunori Tagiri

c/o Ohmika plant, Hitachi, Ltd.

5-2-1 Ohmika-cho, Hitachi-shi, Ibaragi

(72) Inventor: Manabu Araoka

c/o Ohmika plant, Hitachi, Ltd.

5-2-1 Ohmika-cho, Hitachi-shi, Ibaragi

(74) Agent: Patent Attorney Akio Takahasi (and another)

(54) [Title of the Invention] TIME ADJUSTING METHOD AND TIME ADJUSTMENT SYSTEM

(57) [Abstract]

[Object] To eliminate influence of transmission time delay and processing time delay, the influence being included in a standard time, and to provide a highly accurate time correction system.

[Solving Means] A task processing device 110 transmits a time request at a time T_0 , and the time request is accepted by a synchronization device 100 at a time T_1' after a transmission time delay Δt_{d1} . Since an MPU 101 instructs an interface circuit 104 to inhibit acceptance of a request from a different device, and then extracts standard time T_2 from a GPS signal via a time data extracting circuit 102, processing time delay Δt_{d2} from the acceptance to the extraction is kept constant. The task processing device 110 calculates an error ε of an internal clock 112 from T_2 and Δt_{d2} included in a response signal based on Equation $\varepsilon = (T_0 + \Delta t_{d1}) - (T_2 - \Delta t_{d2})$.

[Claim 1] A time correcting method of correcting a time of an internal clock by receiving a highly accurate standard time from a synchronization device, the method being characterized in that

the synchronization device receives a time request from a requester after a transmission time delay, controls a processing time delay after acceptance of the request so that the processing time delay is kept constant, and the synchronization device extracts the standard time, and then transmits the standard time and the processing time delay to the requester, and

the requester corrects the time of the internal clock based on an error obtained by subtracting the received standard time from the sum of the transmission time delay, the processing time delay, and a request time indicated by the internal clock having transmitted the time request.

[Claim 2] The method according to claim 1, characterized in that, when the time request is accepted, the controlling of the processing time delay, is inhibition of acceptance of a time request from a different device so that the acceptance is made impossible, and then the standard time is immediately extracted.

[Claim 3] The method according to claim 2, characterized in that the processing time delay can be calculated based on machine cycles corresponding to the time period from the acceptance of the time request to the extraction of the standard time.

[Claim 4] The method according to any one of claims 1 to 3, characterized in that the standard time and the processing time delay are transmitted by use of the data on a result obtained by subtracting the processing time delay from the standard time.

[Claim 5] The method according to any one of claims 1 to 4, characterized in that the transmission time delay can be calculated based on a transmission rate and a length of data transmission, which are defined by a data transmission protocol.

[Claim 6] A time correction system for correcting time of an internal clock of a task processing device by connecting a synchronization device including a standard clock to the task processing device including the internal clock via a transmission line, and by transmitting the highly accurate standard time from the synchronization device, the system characterized in that the synchronization device is provided with I/O interface means, standard time extraction control means, and response signal generating means,

the I/O interface means accepting a time request from the task processing device, and which outputting a corresponding response signal thereto,

the standard time extraction control means controlling a processing time delay after the reception of the request so that the processing time

delay is kept constant, and the standard time extraction control means extracting the standard time from the synchronization device, and

the response signal generating means generating, as a response signal, a signal including one of the extracted standard time and data on a result obtained by subtracting the processing time delay from the standard time, and

the task processing device includes time correcting means and correction data storing means,

the time correcting means correcting the time of the internal clock by performing subtraction or addition based on an error obtained by subtracting the standard time from the sum of the processing time delay, a request time indicated by the internal clock having transmitted the time request, and a transmission time delay during which the request is transmitted to the synchronization device, and

correction data storing means storing at least the request time and the transmission time delay therein.

[Claim 7] A time correction system for correcting time of an internal clock of each of a plurality of task processing devices, each of which includes an internal clock, by connecting a synchronization device including a standard clock to the plurality of task processing devices via transmission lines, and by transmitting the highly accurate standard time from the synchronization device,

the system characterized in that the synchronization device includes I/O interface means, standard time extraction control means and response signal generating means,

the I/O interface means accepting a time request from a requester, outputting a corresponding response signal thereto, and the I/O interface means including an acceptance control function for making acceptance of a time request possible or impossible depending on an instruction,

the standard time extraction control means outputting to the I/O

interface means, the instruction for making acceptance of a different time request impossible, after the acceptance of the time request, then immediately extracting the standard time from the standard clock, and making constant processing time delay from the acceptance to the extraction constant,

and response signal generating means generating, as the response signal, a signal including the extracted standard time or data on a result obtained by subtracting the processing time delay from the standard time, and

each of the task processing devices is provided with time correcting means and correction data storing means,

the time correcting means correcting a time of each of the internal clocks by determining whether or not the synchronization device is in an acceptance possible state to transmit the time request via a corresponding one of the transmission paths, by then accepting the response signal, and by performing subtraction or addition based on an error obtained by subtracting the standard time from the sum of the processing time delay, the request time indicated by the internal clock of the time request, the transmission time delay during which the time request reaches the synchronization device,

and correction data storing means storing at least the request time and the transmission time delay.

[Claim 8] The system according to any one of claims 6 and 7, characterized in that the response signal only includes the standard time, the processing time delay is transmitted to each of the task processing devices from the synchronization device when the system is booted, and the processing time delay is then stored in the correction data storing means.

[Claim 9] The system according to any one of claims 6 to 8, characterized in that, in the case where it is difficult for the standard time extraction control means to perform processing normally due to occurrence of

abnormality in the synchronization device, the synchronization device transmits a response signal representing the abnormality to any task processing device being requesting time or all of the task processing devices, and inhibits the I/O interface means from accepting the time request,.

[Claim 10] The system according to any one of claims 6 to 9, characterized in that the standard time clock device includes a GPS signal receiver.

[Detailed Description of the Invention]

[0001]

[Field to which the Invention Pertains] The present invention relates to a method of correcting an internal clock, for example, of a calculating device based on a standard time from a synchronization device, and relates to a time correction system for correcting an internal clock of each of a plurality of processing devices through a transmission path.

[0002] As a method of correcting an error of an internal clock of a calculator, known is a method of synchronizing a clock of a slave station to that of a master station by sending time data of the clock of the master station to the slave station, the method being as described in Japanese Patent Laid-Open No. Hei 4-121691 (Cited Example 1).

[0003] Another method is also known of correcting a time of a clock device by using highly accurate time data extracted from a GPS signal received by a GPS receiver, the method being as described in Japanese Patent Laid-Open No. Hei 5-249221 (Cited Example 2).

[0004]

[Problems to be Solved by the Invention] In Cited Example 1, a time delay associated with a transmission path connecting a master station with a slave station is corrected. However, no consideration has been given to a processing time delay which is taken to actually correct time in the slave station after receiving time data and then. In addition, in Cited Example 2, a standard clock device transmits GPS time data to each of a plurality of

clock devices. However, in a case of a general system in which each of the clock devices processes a different application processing delay occurs as Cited Example 1.

[0005] In the conventional techniques, as described, a transmitter of a standard time unilaterally transmits the standard time to a receiver without taking into consideration a processing state of a receiver of the standard time. For this reason, a delay may be caused due to a waiting time for processing depending on the operational state of the receiver, thereby making an accurate time correction difficult. Moreover, such a processing delay due to processing is further exacerbated in a case where a plurality of receivers exists, and also the degree of delay varies depending on a system configuration.

[0006] An object of the present invention is to solve the problems of the conventional techniques, and to provide an accurate time correcting method of correcting time with taking a processing delay into consideration.

[0007] Another object of the present invention is to provide a time correction system for accurately correcting an internal clock of each of a plurality of processing devices, based on a standard time transmitted from a synchronization device.

[0008]

[Means for Solving the Problems] In the present invention, an error ε of an of an internal clock of a requester is represented by a difference between a request reaching time $T1'$, at which a request reaches a synchronization device, and which is indicated by the internal clock of the requester, and a request reception time $T1$, at which a request reaches a synchronization device, but which is indicated by a synchronization device. The request reaching time $T1'$ is the sum of a request time and a transmission time delay calculated based on a protocol. The request reception time $T1$ is a result obtained by subtracting the processing delay of the time from the reception to the extraction from the extracted standard time. Hence, the error ε of the

internal clock can be precisely obtained by maintaining the processing delay Δt at a certain value. This is the basis of the present invention.

[0009] Specifically, the above-described object is achieved by use of the following method. The method is a time correcting method of correcting time of an internal clock by receiving a highly accurate standard time from a synchronization device. In the method, the synchronization device receives a time request from the requester after the transmission time delay, then extracts the standard time while controlling the processing time delay after accepting the request so that the processing time delay is kept constant. Thereafter, the synchronization device transmits the standard time and the processing time delay to the requester. In the method, the requester corrects the time of the internal clock based on an error obtained by subtracting the received standard time from the sum of the transmission time delay, the processing time delay, to the request time indicated by the internal clock having transmitted the time request.

[0010] The controlling of the processing time delay is characterized in that, when the time request is accepted in the controlling of the processing time delay, acceptance of a time request from a different device is inhibited and then the standard time is immediately extracted.

[0011] With the above-described configuration, it is possible to calculate the processing time delay, based on machine cycles corresponding to the time period from the reception of the time request to the extraction of the standard time. The processing time delay has a fixed value when the above-described controlling is maintained, and the processing time delay is stored in the synchronization device. Accordingly, the standard time and the processing time delay can be transmitted by use of the data on the result obtained by subtracting the processing time delay from the standard time. Alternatively, the processing time delay may be transmitted to and stored in the requester when the system is booted. On the other hand, the transmission time delay can be calculated based on a transmission rate and

a data transmission length, which are defined by a data transmission protocol.

[0012] In addition, the above-described object of the present invention is achieved by use of the following system. The system is a time correction system for correcting time of an internal clock of a task processing device, by connecting a synchronization device including a standard clock to the task processing device including the internal clock via a transmission line, and by transmitting the highly accurate standard time from the synchronization device to the task processing device. In the system, the synchronization device is provided with I/O interface means, standard time extraction control means, and response signal generating means. The I/O interface means accepts a time request from the task processing device and outputs a response signal. The standard time extraction control means controls a processing time delay after the reception of the request so that the processing time delay is constant, and the standard time extraction control means extracts the standard time from the synchronization device. The response signal generating means generates, as a response signal, a signal including the extracted standard time or data on a result obtained by subtracting the processing time delay from the standard time. In the system the task processing device is provided with time correcting means and correction data storing means. The time correcting means corrects the time of the internal clock by performing subtraction or addition based on an error obtained by subtracting the standard time from the sum of the processing time delay, a request time indicated by the internal clock having transmitted the time request, and a transmission time delay during which the request is transmitted to the synchronization device. The correction data storing means stores at least the request time and the transmission time delay.

[0013] Alternatively, the above-described object of the present invention is achieved by use of the following system. The system is a time correction

system in which a plurality of task processing devices are connected to a synchronization device. In the system, the synchronization device is provided with I/O interface means and standard time extraction control means. The I/O interface means accepts a time request from a requester, and outputs a response signal. The I/O interface means includes an acceptance control function for making acceptance of a time request possible or impossible depending on an instruction. The standard time extraction control means outputs, after the acceptance of the time request, the instruction for making acceptance of a different time request impossible to the I/O interface means. Thereafter, the standard time extraction control means immediately extracts the standard time from the standard clock, and makes constant processing time delay from the acceptance to the extraction. [0015] In addition, the standard time clock device is characterized by including a GPS signal receiver.

[0016]

[Embodiment of the Invention] Detailed descriptions will be provided below for an embodiment of the present invention.

[0017] FIG. 1 is a configuration diagram showing a time correction system of the embodiment of the present invention. The system is configured of a synchronization device 100, a plurality of task processing devices 110, 120 and the like. Note that, although each of the task processing devices in the present invention is a calculating device applicable to general-purpose task processing, any device may be applicable, such as a controller or a processor as long as the device needs an internal clock.

[0018] The synchronization device 100 includes a GPS receiver 105 receiving a GPS signal from a GPS antenna 140; a time data extracting circuit 102 extracting time data from the received GPS signal; a memory 103 for storing the extracted standard time and a processing time delay to be described below; a serial I/O interface circuit 104 controlling input/output of a plurality of time request signals and response signals from/to other

devices; and an MPU 101 controlling the extracting circuit 102, the memory 103 and the interface circuit 104 via an internal bus 108.

[0019] The synchronization device 100 is connected to the task processing devices 110 and 120 through I/O connectors 106 and 107, via serial transmission paths 130, for instance, one conforming to RS232C standards. Reference numerals SDI, RD1 and ER1 of a connector 106 denote respectively a transmission line, a reception line and a transmission/reception possibility notification line. The same manner as above can be applied to reference numerals SDn, RDn and ERn of the connector 107.

[0020] The task processing device 110 includes an internal clock 12 having a quartz oscillator, and the like; an MPU 111 performing time correction processing including requesting time, receiving a response, and correcting the internal clock; a memory 113 storing therein correction data such as a requested time, a transmission time delay and a response signal; an I/O interface 114 transmitting/receiving data to/from the synchronization device 100; and an internal bus 115 connecting the internal clock 112, the MPU 111, the memory 113 and the I/O interface 114. The MPU 111 executes a certain application program, for which descriptions will be omitted, when not performing time correction processing. Note that the task processing device 120 is configured as the task processing device 110 is.

[0021] Subsequently, detailed descriptions will be provided for operations of the time correction system of the embodiment.

[0022] FIG. 2 is a process flow chart showing schematic operations of the time correction system. A time request REQ, which is transmitted from the task processing device 110 at a time T0 of the internal clock 112, is received by the synchronization device 100 after a transmission time delay $\Delta t d1$. T1 represents a reception time indicated by the synchronization device 100. After a processing time delay $\Delta t d2$ taken from the reception to the extraction, the synchronization device 100 extracts extracted time data T2. A response

signal RES including the data T2 or $(T2-\Delta td2)$ is transmitted to the task processing device 110 at a time T3 resulting from delay due to transmission and processing. The task processing device 110 receives the response signal RES at a time T4 delayed due to transmission delay, and then starts internal clock correction processing at a time T5 after a waiting time has passed.

[0023] As described, in addition to the round-trip transmission time delay occurred in the transmission path, various types of processing time delay occurred in both of the synchronization device and the task processing device is included in the time period taken from the requesting time to the response time and further to the correction processing. However, as clear from FIG. 2, a difference between a request reaching time T1' indicated by the task processing device 110 and the request receiving time T1 observed by the synchronization device 110 is an error ε of the internal clock 120 of the requester. In this regard, the reaching time T1' is a sum of the requesting time T0 and the transmission time delay $\Delta td1$, and the request receiving time T1 is a result obtained by subtracting the processing time delay $\Delta td2$ from the extracted time data T2.

[0024] Accordingly, if the $\Delta td1$ and the $\Delta td2$ are obtained, the error ε of the internal clock of the requester can be obtained by Equation 1,

[0025]

$$[\text{Equation 1}] \quad \varepsilon = T1' - T1 = (T0 + \Delta td1) - (T2 - \Delta td2)$$

The transmission time delay $\Delta td1$ of the equation 1 is a fixed value which can be calculated from a communications method of the system. In addition, the processing time delay $\Delta td2$ can be calculated by use of a number of machine cycles corresponding to the time period from the request reception to the extraction at the time T2, by controlling $\Delta td2$ in order that $\Delta td2$ has a certain value as described below.

[0026] As a result, in the embodiment, it possible to correct time with higher accuracy by only taking into consideration two types of time delays which can be calculated, although various unspecified types of time delays are

included in the time period between the time request and the correction at the response time.

[0027] FIG. 3 is a flowchart showing a processing procedure carried out by each of the task processing devices. FIG. 4 is a flow chart showing a processing procedure carried out by the synchronization device. With FIGS. 3 and 4, detailed descriptions will be provided below of the procedure of the time correction processing.

[0028] The task processing device 110 usually starts the time correction processing on a regular basis. First, the task processing device 110 determines whether or not the synchronization device 100 can receive the time request signal REQ (s301). This determination is made based on an ON/OFF state of the ER1 signal of the serial transmission path 130. In a case where the ER(1) signal is on and thus the synchronization device 100 can receive the time request signal REQ, the task processing device 110 transmits the time request REQ to the synchronization device 100 (s302). Concurrently, the task processing device 110 stores in the memory 113 the request time T0 indicated by the internal clock 112 (s303).

[0029] The synchronization device 100 stands by in a request acceptance possible state when accepting no request. Upon receiving the time request signal REQ (s401), the synchronization device 100 determines whether or not a processing state thereof is in a request acceptance possible state (s402). In this regard, the processing time of s401 corresponds to the reception time T1. However, the time T1 is a virtual value for explaining the idea of the invention, and thus needs not be an actual value.

[0030] Here, the synchronization device 100 is in a request acceptance impossible state when not capable of providing time information because of some sort of reason. The reason may be, for instance, that the synchronization device 100 is in a state of processing the time request REQ from a task processing device other than the task processing device 110, or that the synchronization device 100 has trouble.

[0031] To deal with the former reason, as a normal processing in the request reception possible state (s403), the synchronization device 100 instructs the serial I/O interface circuit 104 to set OFF all ER(i) signals other than that of the connector connecting to the task processing device whose request is received and processed by the synchronization device 100. Accordingly, acceptance of entries of requests from other task processing devices are inhibited.

[0032] On the other hand, when in the state where the synchronization device 100 is in trouble because of some sort of reason, the synchronization device 100 operates as follows. The synchronization device 100 generates a response signal RES including a code of each type of signal, which represents an abnormal response, and a cause code in a data part (s408). Accordingly, each of the task processing devices is notified of the abnormality (s409). In addition, the synchronization device 100 sets OFF the ER(i) signals of all connectors to inhibit the acceptance of requests (s410). Note that Steps s408 to s410 may be carried out as the highest priority when the abnormality is detected, by providing a checking function independent from the standard time response processing. In this case, Step s402 will be omitted.

[0033] Upon receiving the response signal representing the abnormal response (or a certain cause code), each of the task processing devices sets retrying possibility determination processing (s309) as retry-impossible (N) (s311). This setting makes time requests thereafter impossible, and an error processing is carried out (s310), and the time correction processing is suspended.

[0034] The above-described operations prevents the task processing devices from endlessly repeating retrying of time requesting. Note that, when no cause of abnormality exists, the MPU 101 instructs the interface circuit 104 to set ON the ER(i) signals of all connectors, and, the synchronization device 101 returns to the request acceptance possible state.

[0035] After receiving the time request REQ and thus inhibiting the

acceptance of other requests, the synchronization device 100 extracts the standard time data T2 at that time point (s404) to generates a normal response signal RES (s405). The normal response signal RES includes a code representing a normal response of each type of signal, and, in a data part, the extracted time T2 or the data on a result obtained by subtracting the delay $\Delta t d 2$ from the extraction time T2 ($=T2-\Delta t d 2$).

[0036] Subsequently, the synchronization device 100 transmits the normal response signal RES to the requester (s406), and then instructs the I/O interface circuit 104 to set ON the ER(i) signals of all connectors. Accordingly, the synchronization device 100 returns to the request acceptance possible state (s407).

[0037] On the other hand, the task processing device 110 receives the response signal RES (s304). Then, once confirming the response signal is normal one (s305), the task processing device 110 reads out the data part of the response signal (s306) to store in the memory 113 the data T2 or the resultant data ($T2-\Delta t d 2$) (s307).

[0038] Subsequently, the task processing device 110 corrects time of the internal clock based on the difference between the time of the internal clock and the standard time (s308). Arithmetic operations are performed on the current time T of the internal clock based on Equation 2 so that the time thereof is updated. The time thereof is updated by rewriting a time data memory included in the internal clock 112, the time data memory not illustrated.

[0039]

[Equation 2]

$$T = T - \epsilon = T - (T1' - T1) = T - (T0 + \Delta t d 1) + (T2 - \Delta t d 2)$$

In the equation, when the time of the internal clock goes after the standard time, $\epsilon < 0$. Thus, the current time T of the internal clock is set ahead by $|\epsilon|$. On the contrary, when the time of the internal clock goes ahead the standard time, $\epsilon > 0$. Thus, the current time T of the internal clock is set back by ϵ .

[0040] Subsequently, descriptions will be provided for the transmission time delay Δt_{d1} and the processing time delay Δt_{d2} .

[0041] The transmission time delay Δt_{d1} represents a length of time taken for the data transmission of the request signal REQ or the response signal RES, and can be calculated based on a data transmission protocol. Specifically, when v (pbs) represents a data transmission rate, and L (bit) represents a length of the transmission data, Δt_{d1} is a fixed value calculated based on Equation 3.

[0042]

[Equation 3] $\Delta t_{d1} = L/v$

In addition, the processing time delay Δt_{d2} is a length of time taken for the processing time based on the reception time $T1$ of the time request to the extraction of the standard time data $T2$, and can be calculated from MPU machine cycles of the time.

[0043] Specifically, three machine cycles are necessary to recognize the device having transmitted the time request, to instruct the interface circuit 104 to inhibit acceptance of requests from other devices, and to read the standard time $T2$ from the time data extracting circuit 102. Note that the time data extracting circuit 102 extracts the standard time from the GPS signal in real time.

[0044] Accordingly, the processing time delay Δt_{d2} is calculated based on Equation 4, and thus is a fixed value of the standard processing device.

[0045]

[Equation 4] $\Delta t_{d2} = \text{machine cycle}/f = 3/f$

In the equation, f represents an operational frequency of the MPU of the synchronization device.

[0046] As described, the accurate time correction using the transmitted standard time is possible, since, the transmission time delay Δt_{d1} and the time extraction processing time delay Δt_{d2} are given as the fixed values, once the device configuration and the data transfer protocol are determined.

Note that, in the descriptions given above, the followings are carried out in the case where the normal response signal RES includes only T2 as the transfer data. When the system is booted, $\Delta td2$ is transmitted by the synchronization device to each of the task processing devices, and is stored therein. Accordingly, the transmitting of $\Delta td2$ each time of time correction is unnecessary.

[0047] Note that, in the time correction system of the embodiment, the response of the standard time is made in response to a time request from each of the plurality of task processing devices. In this case, when one time request is already accepted and is being processed, entries of requests from other devices are cancelled as described.

[0048] Fig. 5 is a time chart showing operation timings of the synchronization device. One clock cycle of a clock signal *a* of the synchronization device 100 corresponds to one machine cycle described above. Once receiving a time request signal *b* when an accepting state signal *c*, which represents permitting/ inhibiting of the request acceptance, indicates that acceptance of a request is possible (HIGH), the synchronization device 100 identifies the requester of the time request signal (task processing device 110) in one machine cycle (t1). Thereafter, the synchronization device 100 controls the accepting state signal *c* so that the acceptance of time requests is not possible (LOW) (t2), and then extracts the standard time data (t3). This time period, in other words, the time period taken from the acceptance of the request to the extraction of the standard time takes three machine cycles. Subsequently, the synchronization device 100 generates a normal response signal *e* (t4), and then transmits the signal (t5). After the transmission, the synchronization device 100 controls the acceptance state signal *c* to be HIGH (t6), so that requests from other devices can be accepted.

[0049] As described, upon receiving a time request from one of the devices and identifying the device, the synchronization device of the system has control acceptance of requests so that entries of requests from other devices

are inhibited. Accordingly, the processing time period from the acceptance of the request to the extraction of the standard time, that is, the processing time delay Δt_{d2} is always kept fixed. Hence, it is possible to avoid processing time delay, for example, due to waiting time resulting from conflicts between requests, thereby making it possible to precisely correct a time of each of the plurality of devices. In addition, the system can be flexibly configured without since the system is not affected by decrease and increase in the number of task processing devices.

[0050] Note that, although the synchronization device uses the GPS signal as the standard time in the method of the embodiment of the present invention, the present invention is not limited to this. It is possible to use any standard time of various methods. For instance, a time signal by TV, radio or public line can be used as a standard time.

[0051]

[Effect of the Invention] With the present invention, an effect of precisely and simply correcting time is brought, because a time delay due to processing from reception of a request to extraction of a standard time can be controlled and is kept constant, and an error of an internal clock of a requester is obtained from the processing time delay and transmission time delay determined based on a transmission method.

[0052] In the present invention, a synchronization device makes a response of the standard time in response to a time request from a task processing device. In addition, the synchronization device eliminates conflicts between requests to keep the above-mentioned processing time delay constant. Accordingly, the present invention makes it possible to provide a flexible system capable of precisely correcting time of an internal clock of each device regardless of change in system configuration.

[Effects of the Invention]

[0052]

[Brief Descriptions of the Drawings]

[Fig. 1] Fig. 1 is a configuration diagram showing a time correction system of an embodiment of the present invention.

[Fig. 2] Fig. 2 is a flow chart showing schematic operations of the time correction system.

[Fig. 3] Fig. 3 is a flowchart showing a processing procedure of a task processing device.

[Fig. 4] Fig. 4 is a flowchart showing a processing procedure of a synchronization device.

[Fig. 5] Fig. 5 is a time chart showing operation timings of the time correction system.

[Descriptions for reference numerals]

100, synchronization device; 101, 111, MPU (central processing unit); 102, time data extracting circuit; 103, 113, memory; 104, serial I/O interface; 105, GPS receiver; 106, 107, connector; 110, 120, task processing device; 112, internal clock; 114, I/O interface; and 130, transmission path.

FIG. 1

- 100 SYNCHRONIZATION DEVICE
- 102 TIME DATA EXTRACTING CIRCUIT
- 103 MEMORY
- 104 SERIAL I/O INTERFACE CIRCUIT
- 105 GPS RECEIVER

- 110 TASK PROCESSING DEVICE 1
- 112 INTERNAL CLOCK
- 113 MEMORY
- 114 I/O INTERFACE

- 120 TASK PROCESSING DEVICE n

- 140 GPS ANTENNA

FIG2

- TASK PROCESSING DEVICE
- T0 TIME REQUEST (REQ)
- $\Delta t d 1$ TRANSMISSION TIME DELAY

- T4 RECEIVE RESPONSE SIGNAL (RES)
- WAIT TIME CORRECTION PROCESSING
- T5 START TIME CORRECTION

- SYNCHRONIZATION DEVICE
- T1 RECEIVE REQUEST SIGNAL
- $\Delta t d 2$ PROCESSING TIME DELAY
- T2 DATA ON EXTRACTED TIME

T3 TRANSMIT RESPONSE SIGNAL

FIG. 3

- S301 REQUEST SIGNAL RECEPTION POSSIBLE
- S302 TRANSMIT TIME REQUEST SIGNAL
- S303 STORE TIME OF INTERNAL CLOCK
- S304 RECEIVE RESPONSE SIGNAL
- S 305 NORMAL RESPONSE
- S306 ANALYZE RESPONSE SIGNAL
- S307 STORE DATA
- S 308 CORRECT TIME OF INTERNAL CLOCK
- S309 RETRY
- S310 PROCESS ERROR
- S311 SET RETRY IMPOSSIBLE

FIG. 4

- S401 RECEIVE TIME REQUEST SIGNAL
- S402 ACCEPTANCE OF REQUEST POSSIBLE
- S403 INHIBIT RECEPTION OF OTHER REQUESTS
- S404 EXTRACT TIME DATA
- S405 GENERATE NORMAL RESPONSE SIGNAL
- S406 TRANSMIT NORMAL RESPONSE SIGNAL
- S407 SET RECEPTION OF REQUEST POSSIBLE
- S408 GENERATE ABNORMAL RESPONSE SIGNAL
- S409 TRANSMIT ABNORMAL RESPONSE SIGNAL
- S410 INHIBIT RECEPTION OF ALL REQUESTS

FIG. 5

- a CLOCK OF SYNCHRONIZATION DEVICE
- b TIME REQUEST SIGNAL (DEVICE110)
RECOGNIZE REQUEST SIGNAL
- c PERMISSION/INHIBITION OF REQUEST RECEPTION
- d EXTRACT TIME DATA
- e GENERATE NORMAL RESPONSE SIGNAL
- f TRANSMIT NORMAL RESPONSE SIGNAL

【特許請求の範囲】

【請求項1】 標準時刻装置から高精度の標準時刻を受信して、内部時計の時刻を補正する時刻補正方法において、

前記標準時刻装置では、要求元の時刻要求を伝送遅延時間後に受け付け、要求受け付け後の処理遅延時間が一定となるように制御して標準時刻を抽出し、この標準時刻と前記処理遅延時間を要求元に伝送し、

前記要求元では、前記時刻要求を送信した前記内部時計による要求時刻、前記伝送遅延時間及び前記処理遅延時間の和から受信した標準時刻を減じた誤差分に基づいて、前記内部時計の時刻を補正することを特徴とする時刻補正方法。

【請求項2】 請求項1において、前記処理遅延時間の一定制御は、前記時刻要求を受け付けたときに、他からの時刻要求の受け付けを不可能にする受付禁止を行い、その直後に前記標準時刻の抽出を行うことを特徴とする時刻補正方法。

【請求項3】 請求項2において、前記処理遅延時間は、前記時刻要求の受け付けから前記標準時刻の抽出までのマシンサイクルに基づいて算出できることを特徴とする時刻補正方法。

【請求項4】 請求項1または2または3において、前記標準時刻と前記処理遅延時間の伝送は、その差分データによって行われることを特徴とする時刻補正方法。

【請求項5】 請求項1または2または3または4において、前記伝送遅延時間は、データ伝送プロトコルに規定される伝送速度とデータ伝送長に基づいて算出できることを特徴とする時刻補正方法。

【請求項6】 標準時計を有する標準時刻装置と内部時計を有する業務処理装置を伝送線により接続し、前記標準時刻装置から高精度の標準時刻を伝送して、前記業務処理装置の内部時計の時刻を補正する時刻補正システムにおいて、

前記標準時刻装置は、前記業務処理装置からの時刻要求を受け付けると共に応答信号を出力する入出力インターフェース手段と、要求受け付け後の処理遅延時間が一定となるように制御して前記標準時刻から標準時刻を抽出する標準時刻抽出制御手段と、前記応答信号として抽出した標準時刻または該標準時刻と前記処理遅延時間の差分データを含んで作成する応答信号生成手段を設け、前記業務処理装置は、前記時刻要求を送信した前記内部時計による要求時刻、前記標準時刻装置までの伝送遅延時間及び前記処理遅延時間の和から前記標準時刻を減じた誤差分を基に加算／減算して、前記内部時計の時刻を補正する時刻修正手段と、少なくとも前記要求時刻、前記伝送遅延時間を記憶する補正データ記憶手段と、を設けることを特徴とする時刻補正システム。

【請求項7】 標準時計を有する標準時刻装置と内部時

計を有する複数の業務処理装置を伝送線により接続し、前記標準時刻装置から高精度の標準時刻を伝送して、前記業務処理装置の各々の内部時計の時刻を補正する時刻補正システムにおいて、

前記標準時刻装置は、要求元からの時刻要求を受け付け、応答信号を出力すると共に、指示に応じて時刻要求の受け付けを可能／不可能にする受付制御機能を有する入出力インターフェース手段と、一つの時刻要求の受け付け後に他の時刻要求の受け付けを不可能にする指示を前記入出力インターフェース手段に出力し、その直後に前記標準時刻から標準時刻を抽出して受け付けから抽出までの処理遅延時間を一定にする標準時刻抽出制御手段と、前記応答信号として抽出した標準時刻または該標準時刻と前記遅延処理時間の差分データを含んで作成する応答信号生成手段を設け、

前記業務処理装置は、前記標準時刻装置の受け付け可能な状態を判定して前記時刻要求を伝送路を通して送信すると共に前記応答信号を受信し、前記時刻要求の前記内部時計による要求時刻、前記時刻要求が前記標準時刻装置に到達するまでの前記伝送遅延時間及び前記処理遅延時間の和から前記標準時刻を減じた誤差分を基に加算／減算して、前記内部時計の時刻を補正する時刻修正手段と、少なくとも前記要求時刻、前記伝送遅延時間を記憶する補正データ記憶手段と、を設けることを特徴とする時刻補正システム。

【請求項8】 請求項6または7において、前記応答信号は前記標準時刻のみを含み、前記処理遅延時間はシステム立ち上げ時に、前記標準時刻装置から前記業務処理装置に送信され、前記補正データ記憶手段に記憶されることを特徴とする時刻補正システム。

【請求項9】 請求項6または7または8において、前記標準時刻装置は、自装置内の異常発生などにより、前記標準時刻抽出制御手段の正常な処理が困難となる場合に、時刻要求中または全ての業務処理装置に対して異常を示す応答信号を送信すると共に、前記入出力インターフェース手段による前記時刻要求の受け付けを禁止することを特徴とする時刻補正システム。

【請求項10】 請求項6または7または8または9において、

前記標準時刻装置は、GPS信号受信機を有することを特徴とする時刻補正システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、標準時刻装置からの標準時刻に基づいて計算機装置などの内部時計を補正する方法、及び、複数の処理装置の内部時計を伝送路を通して補正する時刻補正システムに関する。

【0002】

【従来の技術】計算機の内部時計の誤差を補正する方法として、特開平4-121691号公報（引用例1）に

記載のように、主局の時計の時刻データを従局に伝送して、従局の時計を主局に合わせる方法が知られている。

【0003】また、特開平 5-249221 号公報（引用例 2）に記載のように、GPS 受信機より受信した GPS 信号より高精度の時刻データを取りだし、このデータを用いて時計装置の時間補正を行うことが知られている。

【0004】

【発明が解決しようとする課題】上記引用例 1 では、主局と従局を結ぶ伝送路による遅延時間は補正しているが、従局で時刻データを受け取ってから、実際に時刻合わせするまでに要する処理遅延時間についての考慮がない。また、上記引用例 2 では、標準時刻装置から GPS 時刻データを複数の時計装置に送信しているが、時計装置が他のアプリケーションを処理する通常のシステムの場合には、引用例 1 と同様な処理遅延が発生する。

【0005】このように、従来技術では標準時刻の送信側は、その受信側の処理状況を考慮することなく一方的に標準時刻を送信するため、受信側の動作状態によっては処理待ちによる遅延が発生して、正確な時刻補正が困難になる。しかも、このような処理遅延は、受信側が複数となる場合に一層増幅され、またシステム構成に応じて変化する。

【0006】本発明の目的は、従来技術の問題点を克服し、処理遅延を考慮した正確な時刻補正方法を提供することにある。

【0007】本発明の目的は、標準時刻装置からの標準時刻によって、複数の処理装置の内部時計を簡単且つ、正確に補正する時刻補正システムを提供することにある。

【0008】

【課題を解決するための手段】本発明は、要求元の内部時計から見た要求到達時刻 T_1' と、標準時刻装置における要求受信時刻 T_1 の差分が要求元の内部時計の誤差 ε を表し、要求到達時刻 T_1' は要求時刻とプロトコルから算出できる伝送遅延の和となり、要求受信時刻 T_1 は抽出した標準時刻と受信から抽出までの処理遅延の差となるので、処理遅延 Δt を一定値に維持することで、内部時計の誤差 ε を簡単且つ、正確に求めることができることを基本にしている。

【0009】すなわち、標準時刻装置から高精度の標準時刻を受信して、内部時計の時刻を補正する時刻補正方法において、前記標準時刻装置では、要求元の時刻要求を伝送遅延時間後に受け付け、要求受け付け後の処理遅延時間が一定となるように制御して標準時刻を抽出し、この標準時刻と前記処理遅延時間を要求元に伝送し、前記要求元では、前記時刻要求を送信した前記内部時計による要求時刻、前記伝送遅延時間及び前記処理遅延時間の和から受信した標準時刻を減じた誤差分に基づいて、前記内部時計の時刻を補正することにより、上記目的を

達成する。

【0010】前記処理遅延時間の一定制御は、前記時刻要求を受け付けたときに、他からの時刻要求の受け付けを不可能にする受付禁止を行い、その直後に前記標準時刻の抽出を行うことを特徴とする。

【0011】上記の構成によれば、前記処理遅延時間は前記時刻要求の受け付けから前記標準時刻の抽出までのマシンサイクルに基づいて算出できる。この処理遅延時間は前記一定制御が維持されるとき固定値となり、標準時刻装置に記憶される。従って、前記標準時刻と前記処理遅延時間の伝送は、その差分データによって行うことができる。または、システム立ち上げ時に、標準時刻装置から要求元に送信して記憶するようにしてもよい。一方、前記伝送遅延時間は、データ伝送プロトコルに規定される伝送速度とデータ伝送長に基づいて算出できる。

【0012】本発明はまた、標準時刻を有する標準時刻装置と内部時計を有する業務処理装置を伝送線により接続し、前記標準時刻装置から高精度の標準時刻を伝送して、前記業務処理装置の内部時計の時刻を補正する時刻補正システムにおいて、前記標準時刻装置は、前記業務処理装置からの時刻要求を受け付けると共に応答信号を出力する入出力インターフェース手段と、要求受け付け後の処理遅延時間が一定となるように制御して前記標準時刻から標準時刻を抽出する標準時刻抽出制御手段と、前記応答信号として抽出した標準時刻または該標準時刻と前記処理遅延時間の差分データを含んで作成する応答信号生成手段を設け、前記業務処理装置は、前記時刻要求を送信した前記内部時計による要求時刻、前記標準時刻装置までの伝送遅延時間及び前記処理遅延時間の和から前記標準時刻を減じた誤差分を基に加算／減算して、前記内部時計の時刻を補正する時刻修正手段と、少なくとも前記要求時刻、前記伝送遅延時間を記憶する補正データ記憶手段を設けることにより、上記目的を達成する。

【0013】あるいは、複数の前記業務処理装置を接続する時刻補正システムにおいて、前記標準時刻装置は、要求元からの時刻要求を受け付け、応答信号を出力すると共に、指示に応じて時刻要求の受け付けを可能／不可能にする受付制御機能を有する入出力インターフェース手段と、一つの時刻要求の受け付け後に他の時刻要求の受け付けを不可能にする指示を前記入出力インターフェース手段に出力し、その直後に前記標準時刻から標準時刻を抽出して受け付けから抽出までの処理遅延時間を一定にする標準時刻抽出制御手段を設けることにより達成される。

【0014】前記標準時刻装置は、自装置内の異常発生などにより、前記標準時刻抽出制御手段の正常な処理が困難となる場合に、時刻要求中または全ての業務処理装置に対して異常を示す応答信号を送信すると共に、前記入出力インターフェース手段による前記時刻要求の受け

付けを禁止することを特徴とする。

【0015】また、前記標準時刻装置は、GPS信号受信機を有することを特徴とする。

【0016】

【発明の実施の形態】以下、本発明の一実施形態について図面を用いて詳細に説明する。

【0017】図1は、一実施形態による時刻補正システムを示す構成図である。本システムは標準時刻装置100と、伝送路で接続された複数の業務処理装置110、120などから構成される。なお、本例における業務処理装置は汎用の業務処理に適用できる計算機装置であるが、内部時計を必要とする処理装置であればコントローラや加工装置など、何でもよい。

【0018】標準時刻装置100は、GPSアンテナ140からGPS信号を取り込むGPS受信機105、受信されたGPS信号から時刻データを抽出する時刻データ抽出回路102、抽出した標準時刻や後述の処理遅延時間などを記憶するメモリ103、外部からの複数の時刻要求信号とその応答信号の入出力を制御するシリアル入出力インターフェース回路104及び、内部バス108を介して抽出回路102、メモリ103、インターフェース回路104を制御するMPU101を有している。

【0019】標準時刻装置100は入出力コネクタ106、107から、たとえばRS232C規格のシリアル伝送路130を通して、業務処理装置110、120と接続している。コネクタ106のSD1は送信線、RD1は受信線、ER1は送受信可能通知線を示す。コネクタ107のSDn、RDn、ERnも同じである。

【0020】業務処理装置110は、水晶発振器等を有する内部時計112、時刻要求と応答受信及び内部時計修正を含む時刻補正処理を行うMPU111、要求時刻や伝送遅延時間や応答信号などの補正データを記憶するメモリ113及び標準時刻装置100とデータ伝送を行う入出力インターフェース114、それらを接続する内部バス115を有している。MPU111は時刻補正処理をしないとき、説明を省略する所定のアプリケーションプログラムを実行する。なお、業務処理装置120も同様に構成されている。

【0021】次に、本実施形態による時刻補正システムの動作を詳細に説明する。

【0022】図2は、時刻補正システムの概略の動作を示す処理遷移図である。業務処理装置110から、内部時計112で時刻T0に送信された時刻要求REQは、伝送遅延時間 $\Delta t d 1$ 後に、標準時刻装置100に受信される。標準時刻装置100から見た受信時刻はT1となる。標準時刻装置100は、受け付けから抽出までの処理遅延時間 $\Delta t d 2$ 後に、抽出時刻データT2を抽出する。データT2または $(T2 - \Delta t d 2)$ を含む応答信号RESは、送信処理遅延による時刻T3に業務処理

装置110に対して送信される。業務処理装置110は伝送遅延による時刻T4に受信し、待ち時間経過後の時刻T5に内部時計修正処理を開始する。

【0023】このように、要求時刻から応答時刻さらには修正処理までの間には、伝送路による往復の伝送遅延の他に、標準時刻装置と業務処理装置の双方による種々の処理遅延を含んでいる。しかし、図2から明らかなように、業務処理装置110側から見た要求到達時刻T1'と、標準時刻装置100側における要求受信時刻T1の差分が、要求側の内部時計120の誤差 ϵ となる。ここで、到達時刻T1'は要求時刻T0と伝送遅延 $\Delta t d 1$ の和であり、要求受信時刻T1は抽出した時刻データT2と処理遅延 $\Delta t d 2$ の差となる。

【0024】従って、 $\Delta t d 1$ と $\Delta t d 2$ が分かれば、要求側の内部時計の誤差 ϵ は数1によって求めることができる。

【0025】

【数1】 $\epsilon = T1' - T1 = (T0 + \Delta t d 1) - (T2 - \Delta t d 2)$

ここで、伝送遅延 $\Delta t d 1$ はシステムの通信方式から算出できる固定値である。また、時刻抽出処理遅延 $\Delta t d 2$ は、後述のように一定値となるように制御することで、要求受信から時刻T2を抽出するまでのマシンサイクル数から算出できる。

【0026】この結果、時刻要求から応答時刻による修正までの間には、種々の不特定な遅延時間を含んでいるが、本実施形態によれば算出可能な二つの遅延時間を考慮するのみで、高精度の時刻補正が可能になる。

【0027】図3は、業務処理装置による処理手順を示すフローチャート、図4は、標準時刻装置による処理手順を示すフローチャートである。以下、図3、図4を併用しながら、時刻補正処理の手順を詳細に説明する。

【0028】業務処理装置110は、通常は定周期に時刻修正処理を開始する。まず、時刻要求信号REQが、標準時刻装置100によって受付可能か判断する(s301)。これは、シリアル伝送路130のER1信号のON/OFF状態によって判断する。ER(1)信号がONで受付可能な場合は、時刻要求REQを標準時刻装置100へ送信する(s302)と共に、内部時計112による要求時刻T0をメモリ113に記憶する(s303)。

【0029】標準時刻装置100は、要求受け付けの無いときには要求受け付け可能状態で待機している。時刻要求信号REQを受信すると(s401)、自己の処理状態が要求受け付け可能な状態にあるか判断する(s402)。ここで、s401の処理時刻が上記の受信時刻T1に相当する。しかし、時刻T1は発明の概念を説明するための仮想値であって、実測の必要はない。

【0030】ここで、要求受け付け不可能な状態とは、既に他の業務処理装置からの時刻要求REQに対して処

理中の時と、標準時刻装置100が事故など、何らかの原因で時刻情報を提供できない時である。

【0031】前者に対しては、要求受け付け可能なときの通常の処理として(s403)、シリアル入出力インタフェース回路104に指示し、受け付け処理中の業務処理装置を接続しているコネクタ以外のER(i)信号を全てOFFに設定し、他の業務処理装置からの要求受け付けを入口で禁止する。

【0032】一方、何らかの原因による後者に対しては、信号種別に異常応答を示すコードとデータ部に原因コードを含む、異常の応答信号RESを作成し(s408)、各業務処理装置に対して異常を通知する(s409)。また、全コネクタのER(i)信号をOFFに設定し、要求受け付けを禁止する(s410)。なお、標準時刻応答処理から独立した診断機能を設けて、異常状態を検出したときにs408~s410を最優先で処理するようにしてもよい。このとき、手順s402は省略される。

【0033】業務処理装置では、異常応答を示す応答信号(または所定の原因コード)が受信されると、リトライ可能判定処理(s309)をリトライ不可(N)に設定する(s311)。これにより、その後の時刻要求は不可となり、エラー処理されて(s310)、時刻補正処理を一旦、終了する。

【0034】これによって、業務処理装置が時刻要求のリトライをいつまでも繰り返すことを回避している。なお、異常要因が無くなったとき、MPU101はインターフェース回路104に指示して、全コネクタのER(i)信号をONに設定し、要求受け付け可能状態に復帰する。

【0035】時刻要求REQを受信して、他の受け付けを禁止した標準時刻装置100は、次に、その時点の標準時刻データT2を抽出し(s404)、正常の応答信号RESの作成を行う(s405)。正常の応答信号RESは、信号種別に正常応答を示すコード、データ部に抽出時刻T2または抽出時刻T2と遅延 $\Delta t d 2$ の差分データ(=T2- $\Delta t d 2$)を含む。

【0036】次に、正常の応答信号RESを要求元であるに送信(s406)した後、入出力インタフェース回路104に指示し、全てのコネクタのER(i)信号をONにして要求受け付け可能状態に復帰する(s407)。

【0037】一方、業務処理装置110は、応答信号RESを受信し(s304)、正常な応答信号であることを確認すると(s305)、応答信号のデータ部を読み出し(s306)、データT2または差分データ(T2- $\Delta t d 2$)をメモリ113に記憶する(s307)。

【0038】次に、標準時刻との差分により、内部時計の時刻修正を行う(s308)。内部時計の現在時刻Tは、数2に従って演算され、更新される。更新は、内部

時計112が有し、図示していない時刻データメモリを書き換える。

【0039】

【数2】

$$T = T - \varepsilon = T - (T1' - T1)$$

$$= T - (T0 + \Delta t d 1) + (T2 - \Delta t d 2)$$

ここで、内部時計が標準時刻より遅れていれば $\varepsilon < 0$ となるので、内部時計の現在時刻Tは $|\varepsilon|$ だけ進められる。反対に内部時計が進んでいれば $\varepsilon > 0$ となるので、現在時刻Tは ε だけ遅らされる。

【0040】次に、伝送遅延 $\Delta t d 1$ と処理遅延 $\Delta t d 2$ について説明する。

【0041】伝送遅延 $\Delta t d 1$ は、要求信号REQまたは応答信号RESのデータ伝送時間であり、データ転送プロトコルから算出できる。すなわち、データ伝送速度 v (bps)、伝送データ長 L (bit)とすると、数3により算出される固定値となる。

【0042】

$$\text{【数3】 } \Delta t d 1 = L / v$$

また、処理遅延 $\Delta t d 2$ は、時刻要求の受信時刻T1から標準時刻データT2の抽出までの処理時間であり、この間のMPUマシンサイクルから算出できる。

【0043】すなわち、要求信号元を認識し、他の装置からの要求受け付け禁止をインターフェース回路104に指示し、時刻データ抽出回路102から標準時刻T2を読み出すのに3マシンサイクルを要する。なお、時刻データ抽出回路102は、GPS信号からの標準時刻の抽出をリアルタイムに行っている。

【0044】従って、時刻抽出の処理遅延 $\Delta t d 2$ は数4より算出され、標準処理装置に固有の値となる。

【0045】

$$\text{【数4】 } \Delta t d 2 = \text{マシンサイクル} / f = 3 / f$$

ここで、 f : 標準時刻装置のMPUの動作周波数である。

【0046】このように、時刻補正に用いられる伝送遅延 $\Delta t d 1$ と時刻抽出処理遅延 $\Delta t d 2$ は、装置構成やデータ転送プロトコルが定まれば、固定値として与えられるので、伝送される標準時刻を用いた正確な時刻補正が可能になる。なお、上記では、正常応答信号RESの転送データにT2のみを含める場合は、システムの立ち上げ時に、標準時刻装置から各業務処理装置に $\Delta t d 2$ を伝送して記憶しておく。これによって毎回の伝送は不要となる。

【0047】ところで、本実施形態の時刻補正システムは、複数の業務処理装置からの時刻要求に応じて標準時刻を応答する。この場合、既に一つの時刻要求を受け付けて処理中のときは、上記のように他の装置の要求を入口でキャンセルする。

【0048】図5は、標準時刻装置の動作タイミングを示すタイムチャートである。標準時刻装置100のクロ

ック信号 a は、1 クロック周期が上記の 1 マシンサイクルに相当する。要求受け付けの許可／禁止を示す受け付け状態信号 c が、受け付け可能 (HIGH) のときに時刻要求信号 b を受け付けると、1 マシンサイクルで時刻要求信号の要求元 (業務処理装置 110) を認識し (t1)、受け付け状態信号 c を受け付け不可能 (LOW) に制御し (t2)、標準時刻データの抽出を行う (t3)。この間、すなわち要求受け付けから標準時刻抽出まで 3 マシンサイクルである。次に、正常の応答信号 e を作成し (t4)、送信する (t5)。送信後、受け付け状態信号 c を HIGH に制御し (t6)、他装置からの要求の受け付けを可能にする。

【0049】このように、本システムの標準時刻装置では一つの装置からの時刻要求を受信して認識すると、他からの要求の受け付けを入口で禁止するように制御するので、要求受け付けから標準時刻抽出までの処理時間、すなわち処理遅延 $\Delta t d 2$ は常に一定に保たれるので、要求の競合による待ち時間などによる処理遅延を回避でき、複数の業務処理装置における正確な時刻補正が可能になる。また、業務処理装置の増減による影響を全く受けないので、システム構成が柔軟にできる。

【0050】なお、本実施の形態において、標準時刻装置は標準時刻に GPS 信号を利用する方式としたが、これに限定されるものではない。テレビやラジオあるいは公衆回線による時報など、種々の方式による標準時刻の利用が可能である。

【0051】

【発明の効果】本発明によれば、要求受信から標準時刻

の抽出までの処理遅延を一定に制御し、この処理遅延と伝送方式により定まる伝送遅延の二つを基に要求元の内部時計の誤差を求めるので、時刻補正を正確且つ簡単にできる効果がある。

【0052】本発明によれば、業務処理装置からの時刻要求に応じて標準時刻装置から標準時刻を応答し、且つ、時刻要求の競合を排除して上記の処理遅延一定とするので、システム構成の変化に関わり無く各装置の内部時計を正確に補正できる、柔軟なシステムを提供できる。

【図面の簡単な説明】

【図 1】本発明の一実施形態による時刻補正システムの構成図。

【図 2】時刻補正システムの概略の動作を示す遷移図。

【図 3】業務処理装置の処理手順を示すフローチャート。

【図 4】標準時刻装置の処理手順を示すフローチャート。

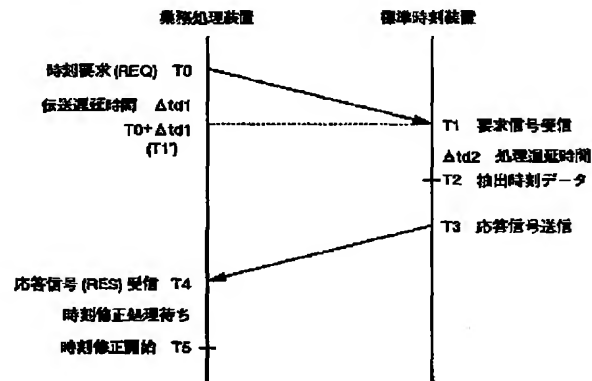
【図 5】時刻補正システムの動作タイミングを示すタイムチャート。

【符号の説明】

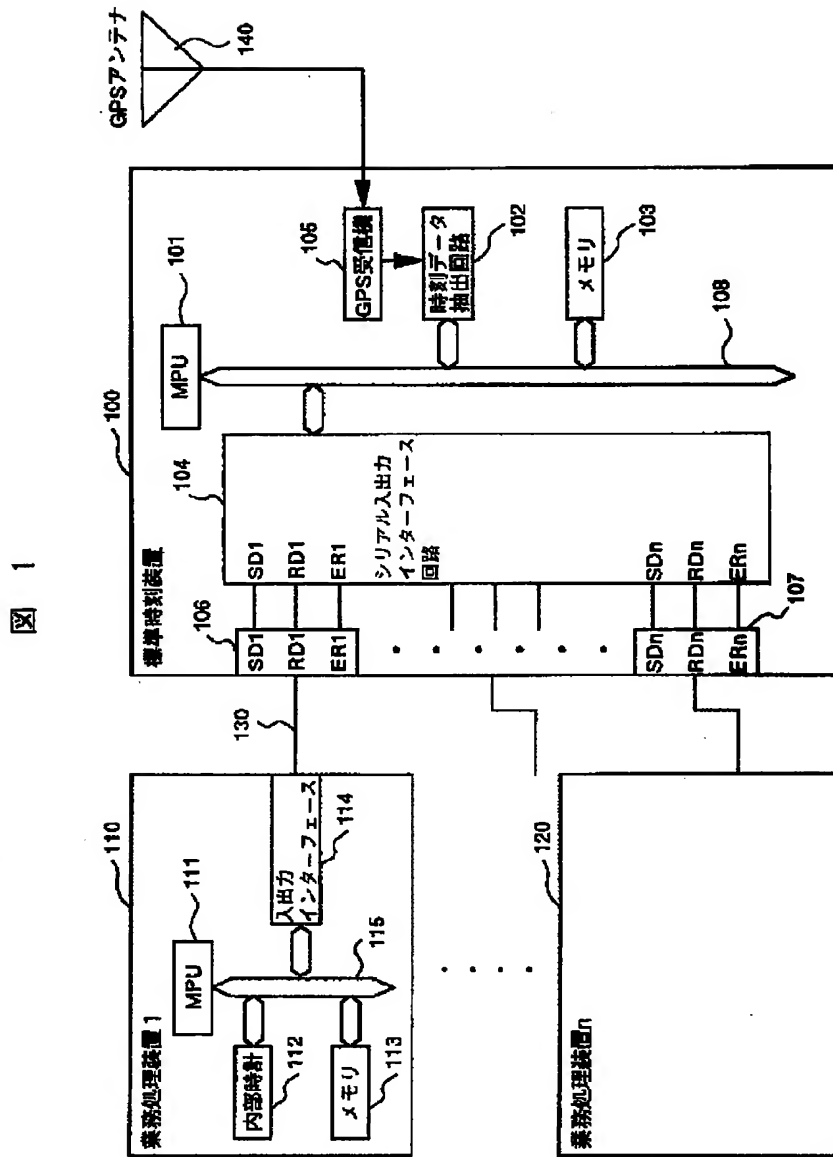
100…標準時刻装置、101、111…MPU (中央処理装置)、102…時刻データ抽出回路、103、113…メモリ、104…シリアル入出力インターフェース、105…GPS 受信機、106、107…コネクタ、110、120…業務処理装置、112…内部時計、114…入出力インターフェース、130…伝送路。

【図 2】

図 2

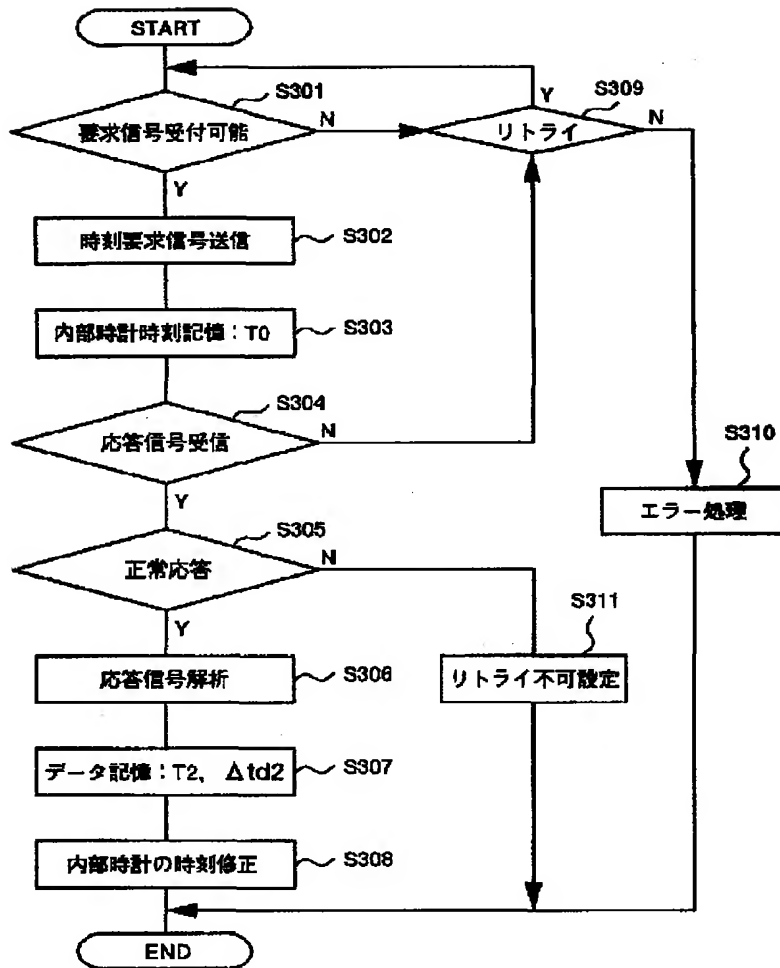


【図 1】



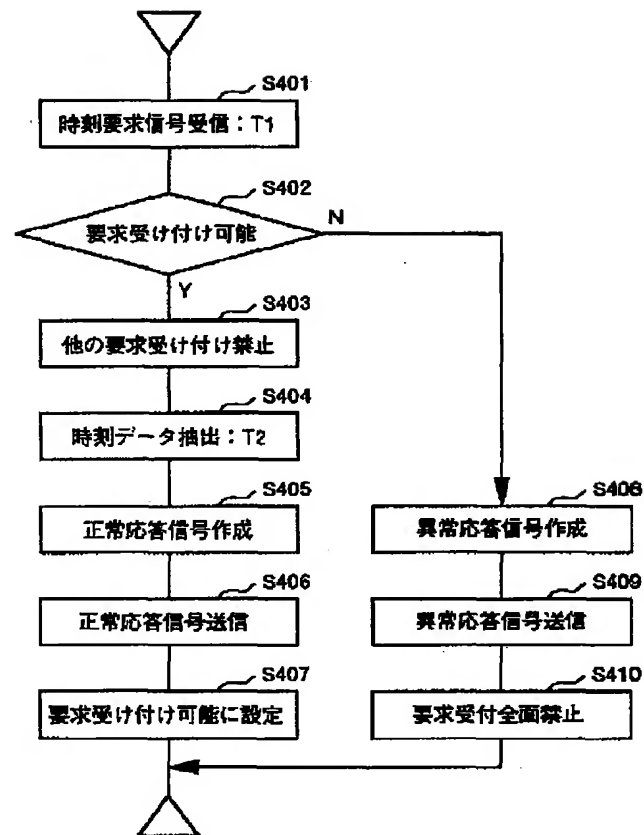
【図3】

図 3



【図 4】

図 4



【図5】

図 5

